

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259639

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H05K 3/46

H05K 3/00

(21)Application number : 04-055133

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.03.1992

(72)Inventor : GOTO KENJI

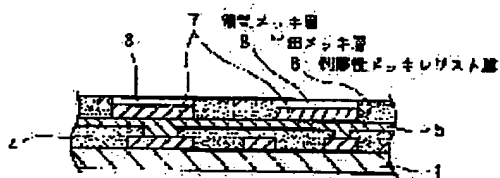
OHIRA HIROSHI

(54) MANUFACTURE OF PRINTED WIRING BOARD

(57)Abstract:

PURPOSE: To obtain a method for manufacturing a printed wiring board on which a very fine pattern can be formed with high precision and surface mount type electronic part with narrow pitches and multi-pins can be mounted at high density in a stable state in spite of massproduction-like process.

CONSTITUTION: Removable plating resist of an inverse circuit made of photosensitive resin is formed on the main surface of a conductive supporting board, and a circuit pattern is formed by copper-electroplating on the exposed surface of the board. Next, the plating resist mask is removed, and a plating resist film made of photosensitive resin is formed again and then a copper plating layer 5 is formed, and the inverse circuit pattern of the removable resist film 6 is formed, and further a copper-plating layer 7 and a solder plating layer 8 are sequentially formed, and then the removable resist film 6 is removed. Using the solder plating layer 8 as an etching resist layer, the chemical copper-plating layer 5 is removed by etching to form a required circuit pattern layer and then the solder plating layer is removed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-259639

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 5 K 3/46	E	6921-4E		
3/00	B	6921-4E		

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平4-55133

(22)出願日 平成4年(1992)3月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 後藤 謙二

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(72)発明者 大平 洋

東京都府中市東芝町1番地 株式会社東芝
府中工場内

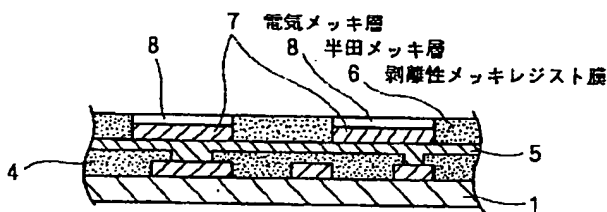
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 プリント配線板の製造方法

(57)【要約】 (修正有)

【目的】 量産的な工程ながら、高精度な微細パターンの形成が可能で、狭ピッチ・多ピンの表面実装型の電子部品を高密度に、かつ安定した状態に搭載・実装可能なプリント配線板の製造方法の提供。

【構成】 導電性支持基体1の主面に感光性樹脂から成る逆回路パターンの剥離性メッキレジストを形成し、基体の露出面に電気銅メッキにより回路パターンを形成する。次に前記メッキレジストマスクを除去し、感光性樹脂から成るメッキレジスト膜を再度形成した後、銅メッキ層5を形成し、その上に剥離性レジスト膜6の逆回路パターンを形成し、更に電気銅メッキ7層と半田メッキ層8を順次形成し、剥離性レジスト膜6を除去し、半田メッキ層8をエッチングレジスト層として化学銅メッキ層5をエッチング除去して所要の回路パターン層を形成してから半田メッキ層を除去する。



【特許請求の範囲】

【請求項1】 剥離性および平滑性良好な導電性支持基体主面に感光性樹脂層を形成し、この感光性樹脂層を選択露光・現像して逆回路パターンのメッキレジストパターン層を形成する工程と、

前記メッキレジストパターン層を形成した導電性支持基体を一方の電極側とし、その露出主面上に電気銅メッキ処理を施し所定の回路パターンを形成する工程と、前記メッキレジストマスクを除去し、再度感光性樹脂層を塗布形成し選択露光・現像した後、少なくとも化学銅メッキ処理を施して銅メッキ層を形成する工程と、前記銅メッキ層形成面上に剥離性レジスト層を張り合わせ選択露光・現像して逆回路パターンを形成する工程と、

前記剥離性レジスト層から成る逆回路パターンを形成した後、少なくとも電気メッキ層および半田メッキ層を順次形成する工程と、

前記剥離性レジストパターンを剥離除去し、半田メッキ層をエッチングレジスト層として露出する前記少なくとも化学銅メッキ処理を施して形成した銅メッキ層を選択的にエッチング除去して所要の回路パターン層を形成してから半田メッキ層を除去する工程と、

前記回路パターン層形成面上に感光性樹脂層の形成、選択・露光による逆回路パターンの形成した後、少なくとも化学銅メッキ層の形成、剥離性レジストパターンの形成、電気メッキ層の順次形成、剥離性レジストパターンの剥離除去、半田メッキ層をエッチングレジスト層とした少なくとも化学銅メッキ層の選択的なエッチング除去による所要の回路パターン層形成および半田メッキ層の除去を繰り返す工程と、

前記回路パターンの積層形成体を導電性支持基体面から剥離する工程とを具備して成ることを特徴とするプリント配線板の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、プリント配線板の製造方法に係り、特に電子部品の表面実装に適するプリント配線板の製造方法に関する。

【0002】

【従来の技術】 回路構成のコンパクト化、回路構成の小形大容量化などの点から、いわゆるプリント配線板に、各種の電子部品を搭載・実装して成る実装回路装置が広く実用に供されている。ところで、この種のプリント配線板においては、電子部品の搭載・実装密度を上げたり、あるいは安定した実装の保持などの観点から、電子部品の搭載実装面が隣接する絶縁領域面と同一平面を形成していることが望まれる。そして、このような要望に対応したプリント配線板は、次のような手段で製造されている。第1の手段（方法）は、主面に接着剤層を設けた積層板を用意し、この積層板の所定位置に所要のスル

ホールを穿設した後、逆回路パターンの永久メッキレジストパターンを被着・形成してから、たとえば化学銅メッキ処理など、いわゆるフルアディティブ法によって所要の回路パターンを形成する。第2の手段（方法）は、主面が平滑なたとえばステンレス板面に、感光性ドライフィルムを張り合わせ、選択的な露光・現像処理を施し、逆回路パターンの画像を形成する。次いで、前記ステンレス板を一方の電極として電気銅メッキ処理を施し、所要の回路パターンを形成してから感光性ドライフィルムを剥離し、その後積層型配線板を製造するに当たっての、積層する工程でプリプレグ層面などに、ステンレス板面から回路パターンを転写するいわゆる転写法によって形成している。

【0003】

【発明が解決しようとする課題】 しかしながら、前記プリント配線板の製造方法においては、実用上次のような不都合な問題ある。すなわち、第1の手段の場合は、永久メッキレジストパターンの現像や永久メッキレジストパターン層の剥離工程などにおいて、塩素系有機溶媒の使用を要するため、安全衛生面の点で問題があるばかりでなく、回路パターンをフルアディティブ法で形成する際、所要の厚付けを行うのにメッキ液の管理が困難であること、さらにメッキ処理に比較的長時間（通常10時間以上）を要することなどの問題がある。また、第2の手段の場合は、最外層の回路パターンを形成するとき有効であるが、内層回路パターンも転写形成する場合に工程が複雑化するばかりでなく、連続的な製造工程を探ることも困難となる上、積層後のスルホール接続に当たって、穿設したスルホール内壁面に再度メッキ処理を施し、所要のメッキ層を形成（パートリアディティブ法）する必要があると量産的といえない。

【0004】 本発明は上記事情に対処してなされたもので、比較的簡略化された量産的な工程でありながら、高精度な微細パターンの形成が可能で、狭ピッチ・多ピンの表面実装型の電子部品を高密度に、かつ安定した状態に搭載・実装が可能なプリント配線板を容易、量産的に製造し得る製造方法の提供を目的とする。

【0005】

【課題を解決するための手段】 本発明に係るプリント配線板の製造方法は、剥離性および平滑性良好な導電性支持基体主面に感光性樹脂層を形成し、この感光性樹脂層を選択露光・現像して逆回路パターンのメッキレジストパターン層を形成する工程と、前記メッキレジストパターン層を形成した導電性支持基体を一方の電極側とし、その露出主面上に電気銅メッキ処理を施し所定の回路パターンを形成する工程と、前記メッキレジストマスクを除去し、再度感光性樹脂層を塗布形成し選択露光・現像した後、少なくとも化学銅メッキ処理を施して銅メッキ層を形成する工程と、前記銅メッキ層形成面上に剥離性レジスト層を張り合わせ選択露光・現像して逆回路パ

ターンを形成する工程と、前記剥離性レジスト層から成る逆回路パターンを形成した後、少なくとも電気メッキ層および半田メッキ層を順次形成する工程と、前記剥離性レジストパターンを剥離除去し、半田メッキ層をエッチングレジスト層として露出する前記少なくとも化学銅メッキ処理により形成した銅メッキ層を選択的にエッチング除去して所要の回路パターン層を形成してから半田メッキ層を除去する工程と、前記回路パターン層形成面上に感光性樹脂層の形成、選択・露光による逆回路パターンの形成した後、少なくとも化学銅メッキ層の形成、剥離性レジストパターンの形成、電気メッキ層の順次形成、剥離性レジストパターンの剥離除去、半田メッキ層をエッチングレジスト層とした少なくとも化学銅メッキ層の選択的なエッチング除去による所要の回路パターン層形成および半田メッキ層の除去を繰り返す工程と、前記回路パターンの積層形成体を導電性支持基体面から剥離する工程とを具備して成ることを特徴とする。

【0006】

【作用】本発明に係るプリント配線板の製造方法は、いわゆるビルドアップ法の特長を活かしたもので、前記工程の繰り返しなど連続的な作業によって多層型で、かつ表面の実装パッドなどが、これら実装パッドなどを絶縁隔離する絶縁層と同一面を成すように構成されたプリント配線板の製造が可能となる。つまり、化学銅メッキおよび電気銅メッキ、前記メッキ処理時のメッキレジストの使い分けなどによって、所要の回路パターンが高精度に、多層的に設けられるとともに、少なくとも一主面においては回路パターンを含めほぼ同一平面を成しているプリント配線板を容易に得ることができる。

【0007】

【実施例】以下、本発明の実施態様を模式的に示す図1～図7の断面図を参照して実施例を説明する。

【0008】まず、剥離性および平滑性良好な導電性支持基体、たとえばステンレス板1を用意し(図1)、このステンレス板1の主面に感光性ドライフィルムをラミネートし感光性樹脂層を形成した。その後、前記感光性樹脂層に選択・露光、現像処理を施して、逆回路パターンにメッキレジストパターン2を形成する(図2)。次いで、前記メッキレジストパターン2を形成した導電性支持基体1を一方の電極とし、たとえば硫酸銅メッキ液を用いて電気銅メッキ処理を施し、前記導電性支持基体1の露出面に電気銅メッキ層を被着し、所要の回路パターン3を形成した後(図3)、前記メッキレジストパターン2aを剥離・除去する。その後、再度、感光性樹脂、たとえばプロピマー(商品名、チバガイギ社製)を塗布・乾燥し、この感光性樹脂層に選択・露光、現像処理を施して、逆回路パターンにメッキレジストパターン4を形成する(図4)。次いで、前面に化学銅メッキ処理を施した後、さらに要すれば電気銅メッキ処理を施して厚さ10 μ m程度のメッキ層5を形成する。なお、この段階

で要すれば、化学銅メッキ処理に先立って、メッキ層5形成面を、たとえば過マンガン酸プロセスにより粗面化しておくことが好ましく、さらに前記メッキ層5は、電気銅メッキ処理での電極としての機能を呈する程度に厚く形成し得れば、電気銅メッキ処理は不要となり、微細なパターンニングの点からその方が望ましい。

【0009】次に、前記銅メッキ層5を形成した面上に剥離性の感光性ドライフィルムをラミネートし、選択・露光、現像処理を施して剥離性レジストパターン6を形成する。その後、前記に準じた手法で、たとえば硫酸銅メッキ液を用い剥離性レジストパターン6を形成した露出面上に、厚さ15 μ m程度の電気銅メッキ層7を被着・形成する。このとき、要すれば下地として化学銅メッキ層を形成してもよい。しかる後、前記電気銅メッキ層7上に、厚さ5 μ m程度の半田メッキ層8を被着・形成する(図6)。

【0010】次に、前記剥離性レジストパターン6を剥離除去し、半田メッキ層8をエッチングレジスト層として、露出する化学銅メッキ層5などを選択的にエッチング除去し、所要の回路パターンを形成してから(図7)、たとえば硝酸・ホウフッ酸・過酸化水素混合液を用いて、半田メッキ層8を剥離除去する。そして、これらの工程、すなわち前記回路パターン形成面上に、前記に準じて感光性樹脂層の形成、選択・露光による逆回路パターンのメッキレジストパターン4の形成、露出面上に少なくとも化学銅メッキ層5の形成、剥離性レジストパターン6の形成、電気銅メッキ層7および半田メッキ層8の順次形成、剥離性レジストパターン4の剥離除去、半田メッキ層8をエッチングレジストとした化学メッキ層5などの選択的なエッチング除去、および半田メッキ層の除去(図8)の工程を繰り返す。このようにして、目的とする多層的に回路パターンを形成してから、要すれば前記最外層に形成された回路パターンと同一平面を成すように絶縁層を被着・形成した後、前記導電性支持基体1面に積層形成した多層配線層を、導電性支持基体1面から剥離することにより、所望の多層型プリント配線板を製造し得る(図9)。この実施例で、導電性支持基体1の両主面に多層配線層を積層形成した場合は、一度に2枚のプリント配線板が得られる。

【0011】そして、前記で得られたプリント配線板の一主面においては、接続パッドを含む回路パターンおよびこの回路パターンを形成する各素パターン間を絶縁する絶縁層が同一平面を成しているため、電子部品を容易に、かつ安定的に搭載・実装し得るとともに、回路パターンの密度および電子部品の搭載・実装密度の向上を成し得た。

【0012】なお、上記実施例では、剥離性および平滑性良好な導電性支持基体として、ステンレス板を用いたが、良好な導電性、剥離性および平滑性(主面)を有するものであれば、他の金属板などに代替し得ることは勿

論であり、また、前記多層配線層を積層形成も、常に導電性支持基体の一面のみに行う必要はなく、両主面を利用して行ってもよい。

【0013】

【発明の効果】以上説明したように本発明に係るプリント配線板の製造方法によれば、化学銅メッキ、電気銅メッキによる回路パターン形成使い分けおよびパターン形成工程の短縮化、前記メッキ処理時のメッキレジストの絶縁層として残存させる場合と剥離除去する場合との使い分けなどにより、比較的簡略な操作や設備で所要の回路パターンが多層的に設けられるとともに、少なくとも一面においては回路パターンを含めほぼ同一平面を成しているプリント配線板を容易に得ることができる。すなわち、比較的簡単な操作（作業）や設備の利用によって、配線密度などが高く、また所要の電子部品を比較的高密度に表面実装可能な、そして実装回路装置を構成したときも高い信頼性を呈するプリント配線板を得ることができる。

【図面の簡単な説明】

【図1】本発明に係るプリント配線板の製造方法において用いる導電性支持基体の断面図。

【図2】本発明に係るプリント配線板の製造方法において導電性支持基体面に逆回路パターン（絶縁層）を形成した状態を模式的に示す断面図。

【図3】本発明に係るプリント配線板の製造方法におい

て第1の回路パターンを成す電気銅メッキ層を形成した状態を示す断面図。

【図4】本発明に係るプリント配線板の製造方法においてメッキレジスト膜を形成した状態を示す断面図。

【図5】本発明に係るプリント配線板の製造方法において化学銅メッキ層を形成した状態を示す断面図。

【図6】本発明に係るプリント配線板の製造方法において剥離性のメッキレジストを介して電気銅メッキ層および半田メッキ層を形成した状態を示す断面図。

【図7】本発明に係るプリント配線板の製造方法において半田メッキ層をエッチングレジスト膜として化学銅メッキ層などを除去した状態を示す断面図。

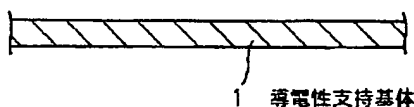
【図8】本発明に係るプリント配線板の製造方法において半田メッキ層をエッチングレジスト膜として3層目の回路パターンを形成した状態を示す断面図。

【図9】本発明に係るプリント配線板の製造方法において製造したプリント配線板の構造例を示す断面図。

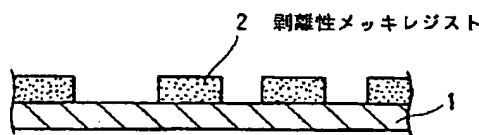
【符号の説明】

- 1…導電性支持基体 2…剥離性の逆回路パターン（メッキレジスト）
3…電気銅メッキ層 4…逆回路パターン（メッキレジスト）
5…化学銅メッキ層 6…剥離性の逆回路パターン（メッキレジスト）
7…化学銅—電気銅メッキ層 8…半田メッキ層

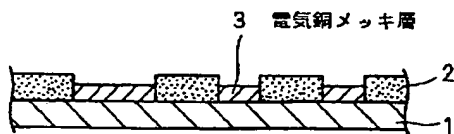
【図1】



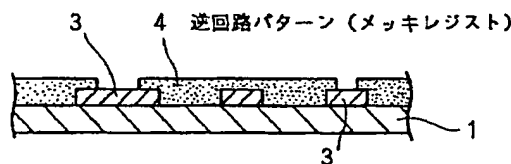
【図2】



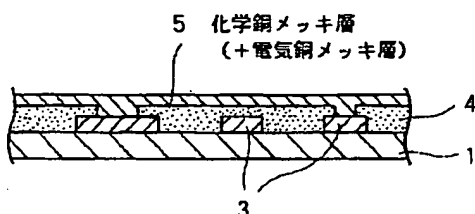
【図3】



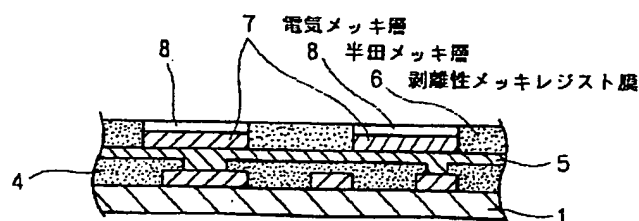
【図4】



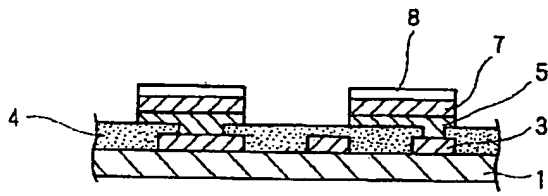
【図5】



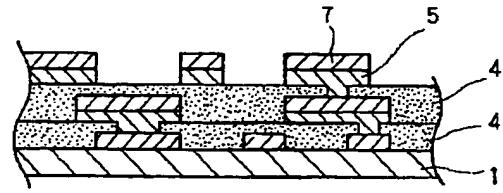
【図6】



【図7】



【図8】



【図9】

